

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-223426

⑬ Int.Cl. 4

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月6日

G 02 F 1/133

3 2 4

7370-2H

G 09 F 9/30

3 4 3

C-7335-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 アクティブ液晶表示パネル

⑯ 特願 昭63-50228

⑯ 出願 昭63(1988)3月2日

⑰ 発明者 安居 勝 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑰ 発明者 森田 英夫 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑰ 出願人 星電器製造株式会社 大阪府八尾市久宝寺1丁目4番33号

⑰ 代理人 弁理士 草野 車

明細書

1. 発明の名称

アクティブ液晶表示パネル

2. 特許請求の範囲

(1) 液晶画素が行列状に配列され、その列方向に形成された各ソースバスの両端は表示素子の端部まで延長されて、ソースバス駆動用 COF (チップ、オン、フレキシブル) が接続され、上記各ソースバスは中間で分離されて、第1、第2表示部が形成されているアクティブ液晶表示パネルにおいて、

上記第1表示部では、ゲートバス  $X_1, X_2, \dots, X_n$  が上記各行方向に形成され、それらのバスの一端は表示素子の端部まで延長されて、ゲートバス駆動用 COF が接続され、他端は表示素子の端部まで延長され、

上記第2表示部では、ゲートバス  $X_{n+1}, X_{n+2}, \dots, X_{2n}$  が上記各行方向に形成され、上記ゲートバス駆動用 COF が接続されない側において端部まで延長され、

上記ゲートバス駆動用 COF が接続されない側において、上記第1表示部のゲートバス  $X_i$  ( $i = 1, \dots, n$ ) は上記第2表示部のゲートバス  $X_{n+1}$  または  $X_{2n+1-i}$  と接続用部材で連結されていることを特徴とするアクティブ液晶表示パネル。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は、表示素子の表示部を上下に2分割してそれを駆動するようにしたアクティブ液晶表示パネルの改良に関する。

「従来の技術」

液晶表示パネルの中心をなす液晶表示素子1は、例えば第3図に示すようにガラスのような透明基板1-1及び1-2が近接対向して設けられ、その周縁部にはスペーサ1-3が介在され、これら透明基板1-1, 1-2間に液晶1-4が封入されている。

一方の透明基板1-1の内面に画素電極1-5の複数が行列に配列形成され、これら各画素電極1-5に接してそれぞれスイッチング素子として薄膜トランジスタ1-6が形成され、その薄膜トランジスタ

16のドレインは画素電極15に接続されている。これら複数の画素電極15と対向して他方の透明基板12の内面に透明な共通電極17がほぼ全面に形成されている。

ほぼ正方形の画素電極15は第4図に示すように透明基板11上に行及び列に近接配列されており、画素電極15の各行配列と近接し、かつこれに沿ってそれぞれゲートバスX<sub>1</sub>, X<sub>2</sub>, …が形成され、また画素電極15の各列配列と近接してそれに沿ってソースバスY<sub>1</sub>, Y<sub>2</sub>, …がそれぞれ形成されている。これら各ゲートバスX<sub>i</sub>(i=1, 2, …)及びソースバスY<sub>j</sub>(j=1, 2, …)の交差点において薄膜トランジスタ16が設けられ、各薄膜トランジスタ16の各ゲートは両バスの交差点位置においてゲートバスX<sub>i</sub>に接続され、各ソースはソースバスY<sub>j</sub>にそれぞれ接続され、更に各ドレインは画素電極15に接続されている。

これらゲートバスX<sub>i</sub>とソースバスY<sub>j</sub>との各一つを選択してそれら間に電圧を印加し、その電圧が印加された薄膜トランジスタ16のみが導通し、

ゲートバス駆動回路21b及びソースバス駆動回路22bが設けられる。ソースバス駆動回路22a(または22b)からは、第1(第2)表示部の各行の液晶画素に表示すべき信号が一行分ずつ $\frac{1}{n}$ 時間にわたり( $T=1/f_p$ ,  $f_p$ はフィールド周波数で、単位時間に表示される画面の枚数に等しく、Tはその周期である。)ソースバスY<sub>1</sub>~Y<sub>m</sub>(Y<sub>b1</sub>~Y<sub>bm</sub>)に一齊に出力される。ゲートバス駆動回路21a(21b)ではソースバス駆動回路22a(22b)によるソースバスの駆動に同期して、ゲートバス駆動信号が $T/n$ 時間ずつ各ゲートバスX<sub>1</sub>~X<sub>n</sub>(X<sub>n+1</sub>~X<sub>2n</sub>)に順次出力される。

上記のように、表示素子1を第1、第2表示部1a, 1bに分割して駆動することにより、1本のゲートバスを駆動している時間 $T/n$ は表示素子1を分割しない場合の2倍となり、表示品位を高めることにつながる。

ソースバス駆動回路22a, 22b及びゲートバス駆動回路21a, 21bはそれぞれ数個の部分回路に分割され、その各部分回路はIC化され

### 特開平1-223426 (2)

その導通した薄膜トランジスタ16のドレインに接続された画素電極15に電荷を蓄積して、液晶14中のその画素電極15と共に共通電極17との間の部分にのみ電圧を印加し、これによってその画素電極15の部分のみが光透明、あるいは光不透明となることによって選択的に表示が行われる。この画素電極15に蓄積した電荷を放電することによってその表示を消去させることができる。

液晶表示装置の表示品位を向上させるために、第5図に示すように、表示素子1を第1、第2表示部1a, 1bに区分し、各ソースバスY<sub>1</sub>~Y<sub>m</sub>は中央で分離されてY<sub>a1</sub>~Y<sub>am</sub>及びY<sub>b1</sub>~Y<sub>bm</sub>とされ、各表示部を同時に並列的に表示し、両方合わせて1表示画面を構成する方法が行われている。(例えば、特開昭61-264322号公報)。第1表示部1aのゲートバスX<sub>1</sub>~X<sub>n</sub>及びソースバスY<sub>a1</sub>~Y<sub>am</sub>を駆動するのにそれぞれゲートバス駆動回路21a及びソースバス駆動回路22aが設けられ、また第2表示部1bのゲートバスX<sub>n+1</sub>~X<sub>2n</sub>及びソースバスY<sub>b1</sub>~Y<sub>bm</sub>を駆動するのにそれぞれゲ

ートバス駆動回路21b及びソースバス駆動回路22bが設けられる。ソースバス駆動回路22a(または22b)からは、第1(第2)表示部の各行の液晶画素に表示すべき信号が一行分ずつ $\frac{1}{n}$ 時間にわたり( $T=1/f_p$ ,  $f_p$ はフィールド周波数で、単位時間に表示される画面の枚数に等しく、Tはその周期である。)ソースバスY<sub>1</sub>~Y<sub>m</sub>(Y<sub>b1</sub>~Y<sub>bm</sub>)に一齊に出力される。ゲートバス駆動回路21a(21b)ではソースバス駆動回路22a(22b)によるソースバスの駆動に同期して、ゲートバス駆動信号が $T/n$ 時間ずつ各ゲートバスX<sub>1</sub>~X<sub>n</sub>(X<sub>n+1</sub>~X<sub>2n</sub>)に順次出力される。

上記のように、表示素子1を第1、第2表示部1a, 1bに分割して駆動することにより、1本のゲートバスを駆動している時間 $T/n$ は表示素子1を分割しない場合の2倍となり、表示品位を高めることにつながる。

ソースバス駆動回路22a, 22b及びゲートバス駆動回路21a, 21bはそれぞれ数個の部分回路に分割され、その各部分回路はIC化され

ている。そのICチップ30を実装したフレキシブルフィルムはCOF(チップ、オン、フレキシブル)と呼ばれる。第6図に示すように、液晶表示素子1の上及び下の端縁に沿ってそれぞれ複数のソースバス駆動用COF31及び32が接続され、左右いずれか(図では左側)の端縁に沿って複数のゲートバス駆動用COF33, 34が接続される。COF33は第1表示部1a用であり、COF34は第2表示部1b用である。各COFのフィルム上には多数のプリント配線が形成され、それらの配線の一端はICチップの出力とポンディングされ、他端は透明基板11のソースバスあるいはゲートバスとポンディングされる。COFのフレキシブルフィルムとICチップとのポンディング及びCOFと透明基板11とのポンディングにはワイヤポンディングあるいはT.A.B(Tape Automated Bonding)その他の方法が用いられる。

COFを用いる液晶表示パネルの構成は、プリント配線基板に液晶パネル及びその駆動回路等を実装する従来の構成に代わって、高密度化、薄型

## 特開平1-223426(3)

化、低価格化等を目的として開発された新しいものである。

## 「発明が解決しようとする課題」

液晶表示パネルを第1、第2表示部に区分して表示する場合、それぞれのゲートバス $X_1 \sim X_n$ 、 $X_{n+1} \sim X_{2n}$ は同時に同様に駆動されている。それにもかかわらず、それぞれに専用のゲートバス駆動回路、つまりCOF33及び34を設けているのは不経済であると考えられる。

この発明の目的は、簡単な方法で第1、第2表示部のゲートバスを共通駆動し、経済化を図ろうとするものである。

## 「課題を解決するための手段」

液晶画素が行列状に配列され、その列方向に形成された各ソースバスの両端は表示素子の端部まで延長されて、ソースバス駆動用COF(チップ、オン、フレキシブル)が接続され、上記各ソースバスは中間で分離されて、第1、第2表示部が形成されているアクティブ液晶表示パネルにおいて、

上記第1表示部では、ゲートバス $X_1, X_2, \dots, X_n$

ばならない。従って、透明基板11の間連部分を多層化しなければならず、全体としての経済化はあまり期待できない。

そこで、この発明では第1図A、Bに示すように、透明基板11のゲートバス駆動用COF33を接続しない側の端縁を他の端縁と同様に突出させ、ゲートバス $X_1 \sim X_{2n}$ をその突出部まで延長する。その延長した第1表示部1aのゲートバス $X_1$ と、第2表示部1bのゲートバス $X_{n+1}$ または $X_{2n+1-i}$ とをFPC(フレキシブル、プリント、サーキット)35上に形成した導線で接続する。

あるいは第1図Cに示すように、透明基板11の突出した端縁上にパターンを形成し(ゲートバス連続部36と言う)、第1表示部1aと第2表示部1bのゲートバスを第1図Aと同様に接続する。これらの接続用パターンは、ゲートバス $X_1 \sim X_{2n}$ と同時に形成すればよく、そのパターンの部分を特に多層にする必要はない。

第1図A、BのFPC35及び第1図Cのゲートバス連続部36は接続用部材を構成するもので

が上記各行方向に形成され、それらのバスの一端は表示素子の端部まで延長されて、ゲートバス駆動用COFが接続され、他端は表示素子の端部まで延長され、

上記第2表示部では、ゲートバス $X_{n+1}, X_{n+2}, \dots, X_{2n}$ が上記各行方向に形成され、上記ゲートバス駆動用COFが接続されない側において端部まで延長され、

上記ゲートバス駆動用COFが接続されない側において、上記第1表示部のゲートバス $X_i (i=1 \sim n)$ は上記第2表示部のゲートバス $X_{n+1}$ または $X_{2n+1-i}$ と接続用部材で連絡される。

## 「実施例」

第2図に示すように、第1表示部1aのゲートバス $X_1 \sim X_n$ と第2表示部1bのゲートバス $X_{n+1} \sim X_{2n}$ とを並列に駆動すれば、ゲートバス駆動用COFは第6図の場合の半分の個数で済む。しかしながらそのためには、ゲートバス $X_1$ と $X_{n+1}$ とを接続するためのブランチ $b_i (i=1 \sim n)$ を設け、交叉するゲートバス $X_{i+1} \sim X_n$ と絶縁させね

ある。

## 「発明の効果」

この発明によれば、接続用部材、つまりFPC35またはゲートバス連続部36を用いて第1、第2表示部の各ゲートバスを一つに連絡することによって、従来必要とした第1、第2表示部のいずれか一方のゲートバス駆動用COF33または34を縮減することができる。しかも上記接続用部材は構成が簡単で安価に得られるものであるから、全体として従来より極めて経済的な表示パネルが実現できる。

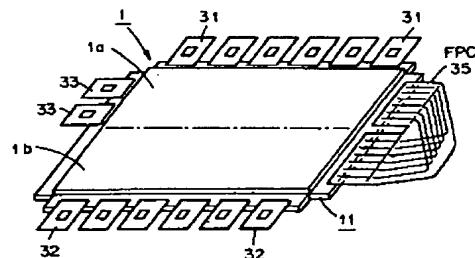
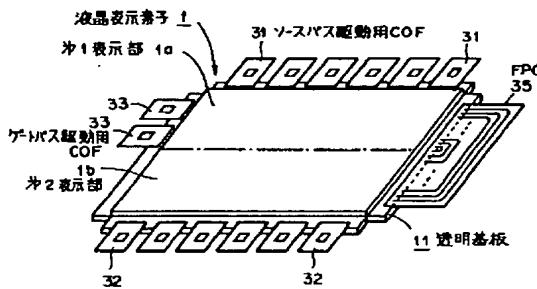
## 4. 図面の簡単な説明

第1図はこの発明の実施例を示す液晶表示パネルの斜視図、第2図はこの発明を得る前の段階で検討された第1、第2表示部のゲートバスを並列に駆動する方式を説明するための表示パネルの結晶図、第3図は液晶表示パネルに使用する液晶表示素子の一部を示す断面図、第4図は第3図の液晶表示素子の回路図、第5図は従来の液晶表示パネルのブロック系統図、第6図は第5図の液晶表

## 特開平1-223426 (4)

示面板の斜視図である。

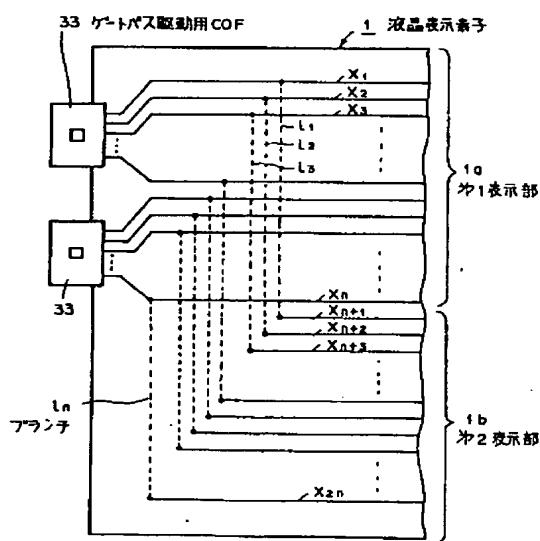
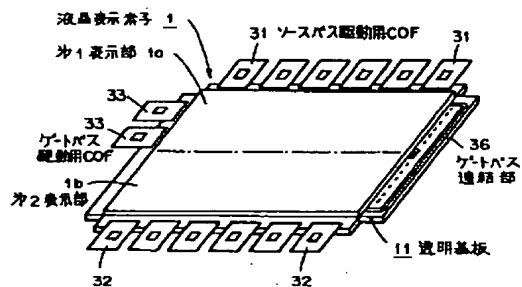
特許出願人 星電器製造株式会社  
 代理人 草野卓



ガ1図B

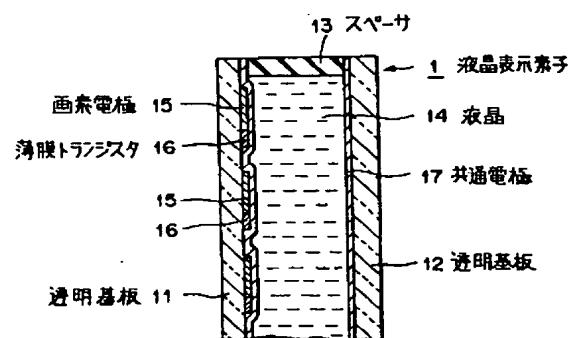
ガ2図

ガ1図C

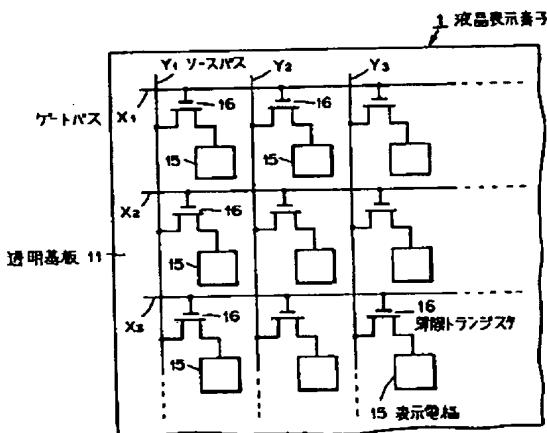


特開平1-223426(5)

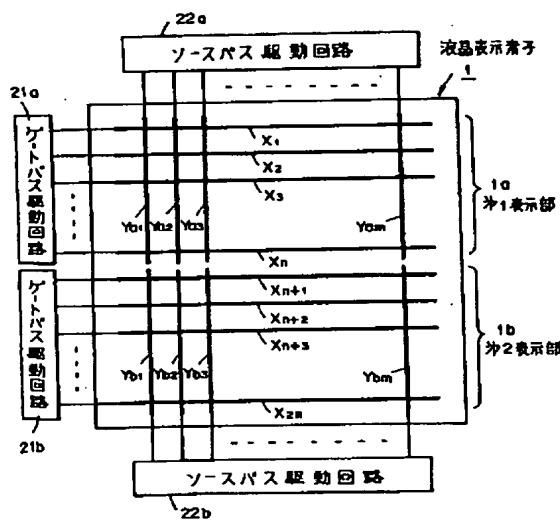
第3図



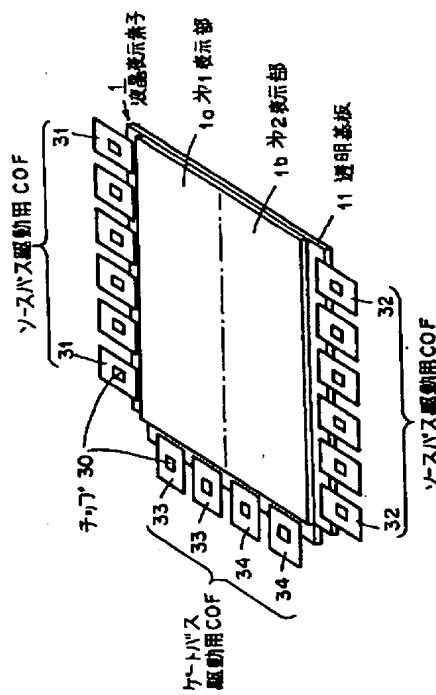
第4図



第5図



第6図



(19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: 223426/1989  
(43) Date of Publication of Application: September 6, 1989  
(51) Int. Cl.<sup>4</sup>:

G 02 F 1/133

G 09 F 9/30

Identification Number:

324

343

Intraoffice Reference Number:

7370-2H

C-7335-5C

Request for Examination: not made

Number of Claims: 1 (5 pages in total)

(21) Application Number Sho-63-50228

(22) Application Date: March 2, 1988

(71) Applicant: HOSHIDEN Electron Co., Ltd.

1-4-33, Kuhodera, Hachio-shi,  
Osaka

(72) Inventors: YASUI Masaru, MORITA Hideo

c/o HOSHIDEN Electron Co., Ltd.  
1-4-33, Kuhodera, Hachio-shi,  
Osaka

(74) Agent: Patent Attorney, KUSANO Takashi

SPECIFICATION

1. Title of the Invention

ACTIVE LIQUID CRYSTAL DISPLAY PANEL

2. Claim

[Claim 1] An active liquid crystal display panel, in which liquid crystal pixels are arrayed in a matrix, both ends of each source bus formed in the column direction are extended to the end part of a display element, to which a source bus driving COF (Chip-On-Flexible) is connected, and the respective source buses are separated in the middle to thereby form first and second display parts, wherein

in the first display part, the gate buses  $X_1, X_2, \dots X_n$  are formed in the respective column directions, each one end of the buses is extended to the end part of the display element, to which the gate bus driving COF is connected, the other ends are extended to the end part of the display element,

in the second display part, the gate buses  $X_{n+1}, X_{n+2}, \dots X_{2n}$  are formed in the respective column directions and extended to the end part on the side where the gate bus driving COF is not connected, and

on the side where the gate bus driving COF is not connected, the gate bus  $X_i$  ( $i = 1$  to  $n$ ) of the first display part is connected to the gate bus  $X_{n+i}$  or  $X_{2n+1-i}$  of the second display part by a

connecting member.

### 3. Detailed Description of the Invention

#### [Industrial Field]

This invention relates to the improvements in an active liquid crystal display panel in which a display part of a display element is halved into upper and lower parts, which are respectively driven.

#### [Prior Art]

A liquid crystal display element 1, which is the center of a liquid crystal display panel, is so constructed that transparent substrates 11 and 12 like glass are provided adjacent and opposite to each other as shown in Fig. 3, a spacer 13 is interposed in the peripheral edge part thereof, and liquid crystal 14 is sealed between the transparent substrates 11, 12. A plurality of pixel electrodes 15 are arrayed in a matrix on the inner surface of one transparent substrate 11, thin film transistors 16 as a switching element are formed adjacent to the respective pixel electrodes 15, and the drains of the thin film transistors 16 are connected to the pixel electrodes 15. A transparent common electrode 17 is opposed to the plurality of pixel electrodes 15 and formed substantially overall on the inner surface of the other transparent substrate 12.

The substantially square pixel electrodes 15 are, as shown in Fig. 4, arrayed adjacent to each other in rows and

in columns on the transparent substrate 11, the gate buses  $X_1$ ,  $X_2$ , ... are respectively formed adjacent to the respective row arrays of the pixel electrodes 15 and also along them, and the source buses  $Y_1$ ,  $Y_2$ , ... are respectively formed adjacent to the respective column arrays of the pixel electrodes 15 and also along them. At the intersections between the gate buses  $X_i$  ( $i=1, 2, \dots$ ) and the source buses  $Y_j$  ( $j=1, 2, \dots$ ), the thin film transistor 16 is provided, the respective gates of the respective thin film transistors 16 are connected to the gate bus  $X_i$  at the positions of the intersections of both buses, and the sources are respectively connected to the source bus  $Y_j$  and further the drains are connected to the pixel electrodes 15.

One of the gate buses  $X_i$  and each one of source buses  $Y_j$ , are respectively selected, voltage is applied between them, and only the thin film transistor 16 to which the voltage is applied conducts. An electric charge is accumulated in the pixel electrode 15 connected to the drain of the conducting thin film transistor 16, voltage is applied only to a part between the pixel electrode 15 and the common electrode 17 in the liquid crystal 14, thereby making only that part of the pixel electrode 15 light-transparent and light-opaque to be selectively displayed. The electric charges accumulated in the pixel electrode 15 are discharged to erase the display.

In order to improve the display grade of a liquid crystal

display device, as shown in Fig. 5, the display element 1 is divided into first and second display parts 1a, 1b, the respective source buses  $Y_1$  to  $Y_m$  are separated at the center to form source buses  $Y_{a1}$  to  $Y_{am}$  and  $Y_{b1}$  to  $Y_{bm}$ , the respective display parts are simultaneously parallel displayed, and both parts are combined to constitute one display screen. (e.g. JP-A-61-264322). A gate bus driving circuit 21a and a source bus driving circuit 22a are provided to drive the gate buses  $X_1$  to  $X_n$  and the source buses  $Y_{a1}$  to  $Y_{am}$  of the first display part 1a, and a gate bus driving circuit 21b and a source bus driving circuit 22b are provided to drive the gate buses  $X_{n+1}$  to  $X_{2n}$  and the source buses  $Y_{b1}$  to  $Y_{bm}$  of the second display part 1b. From the source bus driving circuit 22a (or 22b), signals to be displayed on the liquid crystal pixels of the respective rows of the first (second) display part are simultaneously output for one row each for  $T/n$  hour ( $T=1/f_p$ ,  $f_p$  is a field frequency which is equal to the number of pictures displayed in a unit hour, and  $T$  is its period) to the source buses  $Y_{a1}$  to  $Y_{am}$  ( $Y_{b1}$  to  $Y_{bm}$ ). In the gate bus driving circuit 21a(21b), in synchronization with the drive of the source bus by the source bus driving circuit 22a (22b), a gate bus driving signal is sequentially output for  $T/n$  hour each to the respective gate buses  $X_1$  to  $X_n$  ( $X_{n+1}$  to  $X_{2n}$ ).

As described above, the display element 1 is divided into the first and second display parts 1a, 1b and driven, whereby

the amount of time  $T/n$  when one gate bus is driven is doubled as compared with that in the case where the display element 1 is not divided, which leads to heightening of display grade.

The source bus driving circuits 22a, 22b and the gate bus driving circuits 21a, 21b are respectively divided into several partial circuits, and the respective partial circuits are made into integrated circuits. A flexible film where an IC chip 30 is packaged is called COF (Chip On Flexible). As shown in Fig. 6, a plurality of source bus driving COFs 31 and 32 are respectively put in the connecting state along the upper and lower edges of the liquid crystal display element 1, and a plurality of gate bus driving COFs 33 and 34 are put in the connecting state along either the right edge or the left edge (on the left side in the drawing) thereof. The COF 33 is for the first display part 1a and the COF 34 is for the second display part 1b. On the respective COF films, a number of printed wirings are formed, each one end of the wirings is bonded to the output of the IC chip, and the other end thereof is bonded to the source bus or the gate bus of the transparent substrate 11. In bonding between the flexible film of the COF and the IC chip and bonding between the COF and the transparent substrate 11, wire bonding or TAB (Tape Automated Bonding) or the other methods are used.

The configuration of a liquid crystal display panel using the COF is newly developed to attain high densification,

reduction in thickness and low price in place of the conventional configuration in which a liquid crystal panel and a driving circuit thereof are packaged in a printed wiring board.

[Problems that the Invention is to Solve]

In the case of dividing the liquid crystal display panel into the first and second display parts, the respective gate buses  $X_1$  to  $X_n$ ,  $X_{n+1}$  to  $X_{2n}$  are similarly driven at the same time. For all that, the gate buses are respectively provided with the dedicated gate bus driving circuits, that is, the COFs 33 and 34. This is considered to be uneconomical.

It is an object of the invention to drive the gate buses of the first and second display parts in common by a simple method to thereby achieve an economic improvement.

[Means for Solving the Problems]

An active liquid crystal display panel, in which liquid crystal pixels are arrayed in a matrix, both ends of each source bus formed in the column direction are extended to the end part of a display element, to which a source bus driving COF (Chip-On-Flexible) is connected, and the respective source buses are separated in the middle to thereby form first and second display parts, is characterized in that in the first display part, the gate buses  $X_1$ ,  $X_2$ , ...  $X_n$  are formed in the respective column directions, each one end of the buses is extended to the end part of the display element, to which the

gate bus driving COF is connected, the other ends are extended to the end part of the display element, in the second display part, the gate buses  $X_{n+1}$ ,  $X_{n+2}$ , ...  $X_{2n}$  are formed in the respective column directions and extended to the end part on the side where the gate bus driving COF is not connected, and on the side where the gate bus driving COF is not connected, the gate bus  $X_i$  ( $i=1$  to  $n$ ) of the first display part is connected to the gate bus  $X_{n+i}$  or  $X_{2n+1-i}$  of the second display part by a connecting member.

[Embodiment]

As shown in Fig. 2, when the gate buses  $X_1$  to  $X_n$  of a first display part 1a and the gate buses  $X_{n+1}$  or  $X_{2n}$  of a second display part 1b are driven in parallel, half of the number of COFs for driving the gate buses in Fig. 6 will do. For that purpose, however, it is necessary to provide a branch  $\lambda_i$  ( $i=1$  to  $n$ ) for connecting the gate buses  $X_i$  and  $X_{n+1}$ , thereby insulating from the intersecting gate buses  $X_{i+1}$  to  $X_n$ . Consequently, it is necessary to make the related part of the transparent substrate 11 multi-layered, so that it is not expected to achieve the economic improvement on the whole.

In the invention, as shown in Figs. 1A and 1B, the edge of the substrate 11 to which the gate bus driving COF 33 is not connected is projected similarly to the other edge, and the gate buses  $X_1$  to  $X_{2n}$  are extended to the projected part. The extended gate bus  $X_i$  of the first display part 1a and the gate buses  $X_{i+1}$  or  $X_{2n+1-i}$  of the second display part 1b are

connected to each other by a lead wire formed on an FPC (Flexible Print Circuit) 35.

As shown in Fig. 1C, a pattern is formed on the projected edge of the transparent substrate 11 (called a gate bus connecting part 36), and the gate buses of the first display part 1a and the second display part 1b are connected similarly to Fig. 1A. These connection patterns may be formed at the same time as the gate buses  $X_1$  to  $X_{2n}$ , and it is not necessary especially to make the part of the pattern multi-layered.

The FPC 35 in Figs. 1A and 1B and the gate bus connecting part 36 in Fig. 1C respectively constitute a connecting member.

#### [Advantage of the Invention]

According to the invention, the respective gate buses of the first and second display parts are connected to be united into one using the connecting member, that is, the FPC 35 or the gate bus connecting part 36, whereby either the gate bus driving COFs 33 or 34 of the first and second display parts can be eliminated, although both have been needed heretofore. Furthermore, since the connecting member is simple in constitution and obtained inexpensively, it is possible to realize a much more economical display panel on the whole than before.

#### 4. Brief Description of the Drawings

Fig. 1 is a perspective view of a liquid crystal display

panel showing an embodiment of the invention;

Fig. 2 is a connecting diagram of a display panel for explaining a system of driving the gate buses of first and second display parts in parallel, which has been examined at the stage before obtaining the invention;

Fig. 3 is a sectional view showing a part of a liquid crystal display element used in a liquid crystal display panel;

Fig. 4 is a circuit diagram of a liquid crystal display element in Fig. 3;

Fig. 5 is a block system diagram of the conventional liquid crystal display panel; and

Fig. 6 is a perspective view of the liquid crystal display panel of Fig. 5.

FIGURE 1A:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
1a: FIRST DISPLAY PART  
1b: SECOND DISPLAY PART  
11: TRANSPARENT SUBSTRATE  
31: SOURCE BUS DRIVING COF  
33: GATE BUS DRIVING COF

FIGURE 1C:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
1a: FIRST DISPLAY PART  
1b: SECOND DISPLAY PART  
11: TRANSPARENT SUBSTRATE  
31: SOURCE BUS DRIVING COF  
33: GATE BUS DRIVING COF  
36: GATE BUS CONNECTING PART

FIGURE 2:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
1a: FIRST DISPLAY PART  
1b: SECOND DISPLAY PART  
1N: BRANCH  
33: GATE BUS DRIVING COF

FIGURE 3:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
11, 12: TRANSPARENT SUBSTRATE  
14: LIQUID CRYSTAL  
15: PIXEL ELECTRODE  
16: THIN FILM TRANSISTOR  
17: COMMON ELECTRODE

FIGURE 4:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
11: TRANSPARENT SUBSTRATE  
15: DISPLAY ELECTRODE  
16: THIN FILM TRANSISTOR  
X<sub>1</sub>: GATE BUS  
Y<sub>1</sub>: SOURCE BUS

FIGURE 5:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
1a: FIRST DISPLAY PART  
1b: SECOND DISPLAY PART  
21A, 21B: GATE BUS DRIVING CIRCUIT  
22A, 22B: SOURCE BUS DRIVING CIRCUIT

FIGURE 6:

1: LIQUID CRYSTAL DISPLAY ELEMENT  
1a: FIRST DISPLAY PART

1b: SECOND DISPLAY PART  
11: TRANSPARENT SUBSTRATE  
30: CHIP  
31, 32: SOURCE BUS DRIVING COF  
33, 34: GATE BUS DRIVING COF